

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-259907

(43)公開日 平成5年(1993)10月8日

(51)Int.Cl.⁵

H 03 M
1/06
1/14
1/64

識別記号

府内整理番号
9065-5J
B 9065-5J
9065-5J

F I

技術表示箇所

審査請求 未請求 請求項の数3(全13頁)

(21)出願番号

特願平4-58027

(22)出願日

平成4年(1992)3月16日

(71)出願人 000004260

日本電装株式会社

愛知県刈谷市昭和町1丁目1番地

(72)発明者 渡辺 高元

愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内

(72)発明者 大塚 義則

愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内

(72)発明者 服部 正

愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内

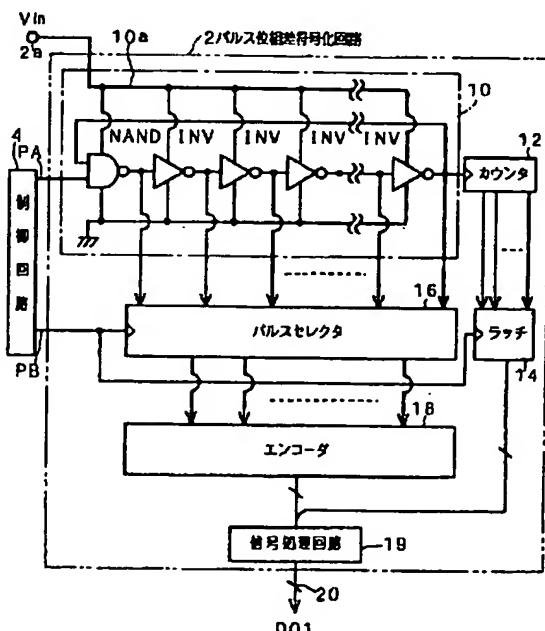
(74)代理人 弁理士 足立 勉

(54)【発明の名称】 A/D変換回路

(57)【要約】

【目的】 アナログ増幅回路を使用することなく、電圧信号の微小な変化を数値化できるA/D変換回路を提供することにより、A/D変換回路を高温で使用できるようとする。

【構成】 パルス信号の位相差をデジタルデータD01に変換するパルス位相差符号化回路2に対して、制御回路4から一定間隔で出力されるパルス信号PA, PBを入力することにより、パルス位相差符号化回路2にてパルス信号PA, PBの時間差が符号化されるようになる。またパルス位相差符号化回路2を構成しているパルス周回路10内の反転回路(NAND, INV)の電源電圧として、A/D変換すべき電圧信号Vinを入力する。この結果、反転回路の反転動作時間が電圧信号Vinにより変化し、パルス位相差符号化回路2から出力されるデジタルデータD01は、電圧信号Vinに対応した値となる。



【特許請求の範囲】

【請求項 1】 アナログの電圧信号を、二進数のデジタルデータに変換するA/D変換回路であって、
入力信号を反転して出力すると共に反転動作時間が電源電圧により変化する反転回路が奇数個リング状に連結されると共に、該反転回路の一つが反転動作を外部から制御可能な起動用反転回路として構成され、該起動用反転回路の動作開始に伴いパルス信号を周回させるパルス周回回路と、
該パルス周回回路内の各反転回路の電源ラインに接続され、上記電圧信号を各反転回路の電源電圧として印加する電圧信号入力端子と、
上記パルス周回回路内での上記パルス信号の周回回数をカウントし、該カウント結果を二進数デジタルデータとして出力するカウンタと、
上記各反転回路からの出力信号に基づき上記パルス周回回路内での上記パルス信号の周回位置を検出し、該周回位置に応じた二進数デジタルデータを発生する周回位置検出手段と、
上記起動用反転回路を動作させて上記パルス周回回路の周回動作を起動し、その後所定時間経過した時点で上記周回位置検出手段を動作させる制御手段と、
上記周回位置検出手段からの二進数デジタルデータを下位ビット、上記カウンタからの二進数デジタルデータを上位ビットとする複数ビットのデジタルデータをA/D変換結果として出力するデータ出力ラインと、
を備えたことを特徴とするA/D変換回路。

【請求項 2】 請求項 1 に記載のA/D変換回路に、更に、
上記電圧信号入力端子に、A/D変換用の電圧信号と予め設定された基準電圧信号とを切り換えて入力する入力電圧切換手段と、
該入力電圧切換手段によって上記電圧信号入力端子に基準電圧信号が入力されたときに上記データ出力ラインから出力されるデジタルデータを記憶する記憶手段と、
上記入力電圧切り換え手段によって上記電圧信号入力端子にA/D変換用の電圧信号が入力されたときに上記データ出力ラインから出力されるデジタルデータを、上記記憶手段に記憶されたデジタルデータにて除算し、該除算結果をA/D変換結果を表すデータとして出力する除算回路と、
を設けたことを特徴とするA/D変換回路。

【請求項 3】 請求項 1 に記載のA/D変換回路において、
制御回路を、発振周波数を制御可能な周波数可変発振回路と、該周波数可変発振回路からの発振信号をカウントし、該カウント結果に基づき、上記パルス周回回路の起動タイミング、及び上記周回位置検出手段の動作タイミングを決定するタイミング設定手段と、により構成し、更に、

上記電圧信号入力端子に、A/D変換用の電圧信号、A/D変換対象となる第1の基準電圧信号、及び第2の基準電圧信号を、選択的に入力する入力電圧選択手段と、該入力電圧選択手段によって上記電圧信号入力端子に第1の基準電圧信号が入力されたときに上記データ出力ラインから出力されるデジタルデータを記憶する第1の記憶手段と、

上記入力電圧選択手段によって上記電圧信号入力端子に第2の基準電圧信号が入力されたときに上記データ出力ラインから出力されるデジタルデータを記憶する第2の記憶手段と、

上記第1の記憶手段及び第2の記憶手段に夫々記憶されたデジタルデータの偏差を求め、該偏差が予め設定された所定値となるように上記周波数可変発振回路の発振周波数を制御する発振周波数制御手段と、

上記入力電圧選択手段によって上記電圧信号入力端子にA/D変換用の電圧信号が入力されたときに上記データ出力ラインから出力されるデジタルデータと上記第1の記憶手段又は第2の記憶手段に記憶されたデジタルデータとの偏差を求め、該偏差をA/D変換結果を表すデータとして出力する偏差算出手段と、
を設けたことを特徴とするA/D変換回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、アナログの電圧信号を二進数のデジタルデータに数値化するA/D変換回路に関する。

【0002】

【従来の技術】 従来のA/D変換回路は、A/D変換すべき電圧信号をアナログコンバーティを用いて基準電圧と比較することにより、電圧信号を数値化するようされているため、電圧信号の変化が微小な場合には、アナログ増幅回路により電圧信号を増幅するようにしている。

【0003】

【発明が解決しようとする課題】 しかしこのようにアナログ増幅回路により電圧信号を増幅して、電圧信号を数値化する場合、アナログ増幅回路は、高温で使用すると、高温リーケ電流の発生により誤動作し、場合によつては動作不能になるため、電圧信号を正常にA/D変換することができなくなってしまう。

【0004】 本発明はこうした問題に鑑みられたもので、従来装置のようにアナログ増幅回路を使用することなく、電圧信号の微小な変化を数値化できるA/D変換回路を提供することにより、A/D変換回路を高温で使用できるようにすることを目的としている。

【0005】

【課題を解決するための手段】 即ち上記目的を達成するためになされた請求項 1 に記載のA/D変換回路は、入力信号を反転して出力すると共に反転動作時間が電源電

圧により変化する反転回路が奇数個リング状に連結されると共に、該反転回路の一つが反転動作を外部から制御可能な起動用反転回路として構成され、該起動用反転回路の動作開始に伴いパルス信号を周回させるパルス周回回路と、該パルス周回回路内の各反転回路の電源ラインに接続され、上記電圧信号を各反転回路の電源電圧として印加する電圧信号入力端子と、上記パルス周回回路内での上記パルス信号の周回回数をカウントし、該カウント結果を二進数デジタルデータとして出力するカウンタと、上記各反転回路からの出力信号に基づき上記パルス周回回路内の上記パルス信号の周回位置を検出し、該周回位置に応じた二進数デジタルデータを発生する周回位置検出手段と、上記起動用反転回路を動作させて上記パルス周回回路の周回動作を起動し、その後所定時間経過した時点で上記周回位置検出手段を動作させる制御手段と、上記周回位置検出手段からの二進数デジタルデータを下位ビット、上記カウンタからの二進数デジタルデータを上位ビットとする複数ビットのデジタルデータをA/D変換結果として出力するデータ出力ラインと、を備えたことを特徴とするA/D変換回路を要旨としている。

【0006】また次に請求項2に記載のA/D変換回路は、請求項1のA/D変換回路に、上記電圧信号入力端子に、A/D変換用の電圧信号と予め設定された基準電圧信号とを切り換えて入力する入力電圧切換手段と、該入力電圧切換手段によって上記電圧信号入力端子に基準電圧信号が入力されたときに上記データ出力ラインから出力されるデジタルデータを記憶する記憶手段と、上記入力電圧切り換え手段によって上記電圧信号入力端子にA/D変換用の電圧信号が入力されたときに上記データ出力ラインから出力されるデジタルデータを、上記記憶手段に記憶されたデジタルデータにて除算し、該除算結果をA/D変換結果を表すデータとして出力する除算回路と、を設けたことを特徴とするA/D変換回路を要旨としている。

【0007】また更に請求項3に記載のA/D変換回路は、請求項1のA/D変換回路において、制御回路を、発振周波数を制御可能な周波数可変発振回路と、該周波数可変発振回路からの発振信号をカウントし、該カウント結果に基づき、上記パルス周回回路の起動タイミング、及び上記周回位置検出手段の動作タイミングを決定するタイミング設定手段と、により構成し、更に、上記電圧信号入力端子に、A/D変換用の電圧信号、A/D変換対象となる第1の基準電圧信号、及び第2の基準電圧信号を、選択的に入力する入力電圧選択手段と、該入力電圧選択手段によって上記電圧信号入力端子に第1の基準電圧信号が入力されたときに上記データ出力ラインから出力されるデジタルデータを記憶する第1の記憶手段と、上記入力電圧選択手段によって上記電圧信号入力端子に第2の基準電圧信号が入力されたときに上記データ出力ラインから出力されるデジタルデータを記憶する第2の記憶手段と、上記パルス周回回路の周回位置を検出して、該周回位置に応じた二進数デジタルデータを発生し、データ出力ラインが、該周回位置検出手段からの二進数デジタルデータを下位ビ

タ出力ラインから出力されるデジタルデータを記憶する第2の記憶手段と、上記第1の記憶手段及び第2の記憶手段に夫々記憶されたデジタルデータの偏差を求め、該偏差が予め設定された所定値となるように上記周波数可変発振回路の発振周波数を制御する発振周波数制御手段と、上記入力電圧選択手段によって上記電圧信号入力端子にA/D変換用の電圧信号が入力されたときに上記データ出力ラインから出力されるデジタルデータと上記第1の記憶手段又は第2の記憶手段に記憶されたデジタルデータとの偏差を求め、該偏差をA/D変換結果を表すデータとして出力する偏差算出手段と、を設けたことを特徴とするA/D変換回路を要旨としている。

【0008】

【作用】上記のように構成された請求項1に記載のA/D変換回路において、パルス周回回路では、反転回路が奇数個リング状に連結されているため、例えば起動用反転回路出力がLowレベルであれば、次段の反転回路出力がHighレベルとなり、更にその次の反転回路出力がLowレベルとなるというように、各反転回路出力が順次反転し、起動用反転回路には、出力信号と同じレベルの信号が入力される。

【0009】従って起動用反転回路が反転動作を停止しているときには、起動用反転回路の入・出力が同一レベルとなった状態で安定し、起動用反転回路が反転動作を開始すると、パルス周回回路を構成する反転回路の連結段数xと各反転回路での反転動作時間TDとにより決定される一定時間(x·TD)経過した時点で、起動用反転回路に出力信号と同様のレベルの信号が入力され、再び起動用反転回路の出力信号レベルが反転する、といった動作を繰り返す。

【0010】つまり、パルス周回回路内では、起動用反転回路の動作開始後、上記時間(x·TD)でパルス信号が一周回し、後段の反転回路と出力レベルが同一となっている反転回路の位置がパルス信号の周回位置となる。一方、パルス周回回路内の各反転回路の電源ラインには、電圧信号入力端子を介して、A/D変換すべき電圧信号が各反転回路の電源電圧として印加されているため、この電圧信号の電圧レベルに応じて各反転回路の反転動作時間TDが変化する。従って、パルス周回回路内のパルス信号の周回時間及び周回位置は、電圧信号入力端子に入力される電圧信号により決定されることとなる。

【0011】そして当該A/D変換回路においては、カウンタが、パルス周回回路内のパルス信号の周回回数をカウントして、そのカウント結果を二進数デジタルデータとして出力すると共に、周回位置検出手段が、各反転回路からの出力信号に基づきパルス周回回路内のパルス信号の周回位置を検出して、その周回位置に応じた二進数デジタルデータを発生し、データ出力ラインが、周回位置検出手段からの二進数デジタルデータを下位ビ

ット、カウンタからの二進数デジタルデータを上位ビットとする複数ビットのデジタルデータをA/D変換結果として出力する。

【0012】またパルス周回回路内での起動用反転回路と周回位置検出手段の動作タイミングは、制御手段により制御され、この制御手段により、パルス周回回路の周回動作開始後、周回位置検出手段がパルス信号の周回位置を検出するまでの時間（サンプリング時間）が、所定時間に設定される。

【0013】即ち、請求項1に記載のA/D変換回路においては、パルス周回回路内に設けられた反転回路の電源電圧としてA/D変換の対象となる電圧信号を使用することにより、パルス周回回路内でのパルス信号の周回時間を電圧信号により変化させ、パルス周回回路が所定のサンプリング時間周回動作する間の、パルス周回回路内のパルス信号の周回回数及び周回位置を検出することにより、電圧信号をデジタルデータに変換するようされている。

【0014】このため、従来のように電圧信号を増幅するアナログ増幅回路を使用することなく、電圧信号の微小な変化を数値化することが可能となり、周囲温度が高温であっても正常にA/D変換を行なうことができるようになる。次に請求項2に記載のA/D変換回路においては、入力電圧切換手段が、電圧信号入力端子に、A/D変換用の電圧信号と予め設定された基準電圧信号とを切り換えて入力し、記憶手段が、入力電圧切換手段によって電圧信号入力端子に基準電圧信号が入力されたときにデータ出力ラインから出力されるデジタルデータを記憶し、除算回路が、入力電圧切り換え手段によって電圧信号入力端子にA/D変換用の電圧信号が入力されたときにデータ出力ラインから出力されるデジタルデータを、記憶手段に記憶されたデジタルデータにて除算して、その除算結果をA/D変換結果を表すデータとして出力する。

【0015】即ち、請求項1に記載のA/D変換装置においては、電源電圧変化に伴う反転回路の反転動作時間の変化を利用して電圧信号をデジタルデータに変換するため、電源電圧以外の要因（例えば温度変化）によって反転動作時間が変化すると、電圧信号を正確にデジタルデータに変換することができなくなってしまう。そこで請求項2に記載のA/D変換装置においては、入力電圧切換手段によって、電圧信号入力端子にA/D変換用の電圧信号と基準電圧信号とを切り換えて入力できるようにし、電圧信号入力端子に基準電圧信号を入力したときに、得られるA/D変換結果と電圧信号入力端子にA/D変換用の電圧信号を入力したときに得られるA/D変換結果との比をとることにより、電圧信号のA/D変換結果を補正するようにしている。このため反転回路の反転動作時間が温度変化等の電源電圧以外の要因によって変動しても、電圧信号を正確にデジタルデータに変換する

ことが可能となる。

【0016】また次に請求項3に記載のA/D変換回路においては、制御回路が、周波数可変発振回路とタイミング設定手段により構成されており、タイミング設定手段が、周波数可変発振回路からの発振信号をカウントしてそのカウント結果に基づき、パルス周回回路の起動タイミング、及び周回位置検出手段の動作タイミングを決定するようにされている。

【0017】そして入力電圧選択手段が、電圧信号入力端子に、A/D変換用の電圧信号、A/D変換対象となる第1の基準電圧信号、及び第2の基準電圧信号を、選択的に入力し、第1の記憶手段が、入力電圧選択手段によって電圧信号入力端子に第1の基準電圧信号が入力されたときにデータ出力ラインから出力されるデジタルデータを記憶し、第2の記憶手段が、入力電圧選択手段によって電圧信号入力端子に第2の基準電圧信号が入力されたときにデータ出力ラインから出力されるデジタルデータを記憶し、発振周波数制御手段が、これら各記憶手段に夫々記憶されたデジタルデータの偏差を求めて、その偏差が予め設定された所定値となるように周波数可変発振回路の発振周波数を制御し、偏差算出手段が、入力電圧選択手段によって電圧信号入力端子にA/D変換用の電圧信号が入力されたときにデータ出力ラインから出力されるデジタルデータと第1の記憶手段又は第2の記憶手段に記憶されたデジタルデータとの偏差を求めて、その偏差をA/D変換結果を表すデータとして出力する。

【0018】即ち、請求項3に記載のA/D変換回路においては、電圧信号入力端子に第1の基準電圧信号を入力したときに得られるA/D変換結果と、電圧信号入力端子に第2の基準電圧信号を入力したときに得られるA/D変換結果との偏差が所定値になるように、周波数可変発振回路の発振周波数を制御することにより、上記のように反転回路の反転動作時間が温度変化等の電源電圧以外の要因によって変化しても、第1の基準電圧信号と第2の基準電圧信号との偏差を表すA/D変換結果が常に一定値となるようにしている。このため、偏差算出手段にて得られるデータは、温度変化等の電源電圧以外の要因による反転回路の反転動作時間の変化に影響されることなく、常に電圧信号に対応した値となる。また偏差算出手段にて得られるデータの1ビット当たりの電圧分解能は、各基準電圧信号の電圧差を、発振周波数制御手段が制御する各基準電圧信号のA/D変換結果の偏差で除算した値となるため、電圧分解能を任意に設定することができる。

【0019】

【実施例】以下に本発明の実施例を図面と共に説明する。まず図1は本発明が適用された第1実施例のA/D変換回路を表す概略構成図である。

【0020】図1に示す如く、本実施例のA/D変換回

路は、入力パルス P A, P B の位相差を符号化するパルス位相差符号化回路 2 と、パルス信号 P A, P B を発生する制御回路 4 とから構成されている。ここでパルス位相差符号化回路 2 は、一方の入力端にパルス信号 P A を受けて動作する起動用反転回路としての 1 個の否定論理積回路 N A N D と反転回路としての多数（偶数個）のインバータ I N V とをリング状に連結してなるパルス周回回路 1 0 と、パルス周回回路 1 0 内の否定論理積回路 N A N D の前段に設けられたインバータ I N V の出力レベルの反転回数からパルス周回回路 1 0 内でのパルス信号の周回回数をカウントして二進数のデジタルデータを発生するカウンタ 1 2 と、カウンタ 1 2 から出力されるデジタルデータをラッチするラッチ回路 1 4 と、パルス周回回路 1 0 を構成する各反転回路（即ち否定論理積回路 N A N D 及びインバータ I N V ）の出力を取り込み、その出力レベルからパルス周回回路 1 0 内を周回中のパルス信号を抽出して、その位置を表す信号を発生するパルスセレクタ 1 6 と、パルスセレクタ 1 6 からの出力信号に対応したデジタルデータを発生するエンコーダ 1 8 と、ラッチ回路 1 4 からのデジタルデータを上位ビット、エンコーダ 1 8 からのデジタルデータを下位ビットとして入力し、下位ビットのデータから上位ビットのデータを減じることによりパルス信号 P A, P B の位相差を表す二進数のデジタルデータ D O 1 を生成する信号処理回路 1 9 と、信号処理回路 1 9 にて生成されたデジタルデータ D O 1 を外部に出力するデータ出力ライン 2 0 により構成されている。なおラッチ回路 1 4 及びパルスセレクタ 1 6 は、制御回路 4 から出力されるパルス信号 P B を受けて動作するこのように構成されたパルス位相差符号化回路 2 は、本願出願人が特願平 2 - 1 5 8 6 5 号等にて先に提案した回路（特願平 2 - 1 5 8 6 5 号における第 2 実施例の回路）であり、次のように動作する。

【0021】即ち、まずパルス周回回路 1 0 は、制御回路 4 から出力されるパルス信号 P A が High レベルになると、パルス信号の周回動作を開始し、パルス信号 P A が High レベルである間パルス信号を周回させる。またその周回回数は、カウンタ 1 2 によりカウントされ、制御回路 4 から出力されるパルス信号 P B が High レベルとなつた時点で、そのカウント結果がラッチ回路 1 4 にラッチされる。

【0022】一方制御回路 4 から出力されるパルス信号 P B が High レベルになると、パルスセレクタ 1 6 が、パルス周回回路 1 0 内でのパルス信号の周回位置を検出し、エンコーダ 1 8 がその周回位置に対応したデジタルデータを発生する。すると信号処理回路 1 9 が、エンコーダ 1 8 からのデジタルデータとラッチ回路 1 4 にラッチされたデジタルデータとから、パルス信号 P A の立上がりからパルス信号 P B の立上がりまでの時間 T c に対応した二進数のデジタルデータ D O 1 を生成し、データ

出力ライン 2 0 を介して外部に出力する。

【0023】また次に、本実施例では、パルス周回回路 1 0 内の各反転回路（即ち否定論理積回路 N A N D 及びインバータ I N V ）に電源供給を行なうための電源ライン 1 0 a に、A / D 変換すべき電圧信号 V i n の入力端子 2 a が接続されており、各反転回路には電圧信号 V i n が電源電圧として印加される。

【0024】各反転回路の反転動作時間は、電源電圧により変化するため、データ出力ライン 2 0 から出力されるデジタルデータ D O 1 は、電圧信号 V i n の電圧レベルに応じて変化し、上記時間 T c を一定にすれば、電圧信号 V i n に対応したデジタルデータが得られることとなる。

【0025】そこで本実施例では、制御回路 4 を、図 2 に示す如く、発振器 2 2 と、発振器 2 2 からの発振信号 C K をカウントするカウンタ 2 4 と、カウンタ 2 4 のカウント結果に基づき、図 3 に示す如くパルス信号 P A, P B を周期的に発生するデコーダ 2 6 とから構成し、パルス信号 P A の立上がりからパルス信号 P B の立上がりまでの時間 T c が常に一定になるようしている。

【0026】この結果、本実施例の A / D 変換装置によれば、図 3 に示す如く、電圧信号 V i n に対応したデジタルデータ D O 1 がパルス位相差符号化回路 2 から出力されることとなり、しかもその A / D 変換動作は、制御回路 4 のパルス信号 P A, P B の出力周期に対応して周期的に実行されるため、デジタルデータ D O 1 は、電圧信号 V i n の変化に対応して、値 D 0, D 1, D 2 … として変化することとなる。

【0027】なおパルス位相差符号化回路 2 としては、 V i n ラインを除き、本願出願人が特願平 2 - 1 5 8 6 5 号等にて先に提案したパルス周回回路 1 0 を有する回路であれば実現可能である。以上説明したように本実施例の A / D 変換回路によれば、従来のように電圧信号を増幅するアナログ増幅回路を使用することなく、電圧信号の微小な変化を数値化することができるため、周囲温度が高温であっても正常に A / D 変換を行なうことができる。またパルス信号 P A の立上がりからパルス信号 P B の立上がりまでの時間 T c を長くするに従い、デジタルデータ D O 1 の分解能を高くできる。つまり時間 T c を 2 倍にすれば、デジタルデータ D O 1 の 1 ビット当たりの電圧値は 1 / 2 となり、A / D 変換を高分解能で行なうことができる。このため A / D 変換回路の分解能を任意に設定することができる。また従来のようにアナログ増幅回路及び基準電圧発生のための基準抵抗素子を使用する必要がないので、低コスト化、低消費電力化を図ることも可能である。

【0028】また次に本実施例の A / D 変換回路では、従来のようにアナログ増幅回路を必要とせず、高温使用が可能であるため、例えば図 4 に示す如く、本実施例の A / D 変換回路を、センサの信号検出回路として用いれ

ば、センサの使用範囲を拡大できる。なお図4は、電源電圧VCCを受け、物理量（圧力、加速度、磁界等）が変化すると中点電圧が変化するブリッジ回路を形成するセンシング素子28を用いた検出装置を表し、その中点電圧を電圧信号VinとしてA/D変換回路に入力することにより、中点電圧の変化に応じたデジタルデータDO1が得られることとなる。

【0029】そしてこのようにA/D変換回路をセンサの信号検出回路として用いる場合、センシング素子のインピーダンスが大きくてA/D変換回路の動作に問題があるときには、一般的なインピーダンス変換回路（例えば電圧フォロア回路、ソースフォロア回路等）を、センシング素子とA/D変換回路との間に設ければよい。

【0030】またセンシング素子として、上記のようなブリッジ回路の代わりに、ホール素子を用い、ホール電圧を電圧信号Vinとすることもできる。また更にA/D変換回路から出力されるデジタルデータDO1は、図5に示す如く、電圧信号Vinの変化に対応して変化するため、A/D変換回路をセンサの信号検出回路として用いる場合、デジタルデータDO1が増加しているときはHighレベル、減少しているときはLowレベルとなる信号を出力するような一般的なロジック回路を設けることにより、検出信号の変化に同期したパルス信号を得る用にすることもできる。

【0031】ここで、上記実施例のA/D変換回路は、パルス周回回路10内の反転回路の反転動作時間を使って、電圧信号VinをデジタルデータDO1に変換するものであるため、上記のように高温使用の際にも電圧信号VinをデジタルデータDO1に変換することはできるものの、温度変化等によって反転回路の反転動作時間が変化すると、デジタルデータDO1も変化してしまう。

【0032】そこで次に、こうしたデジタルデータDO1の変化を補正して、温度変化等に影響されることなく、常に安定したデジタルデータが得られるようにしたA/D変換回路について、本発明の第2実施例として説明する。図6は本実施例のA/D変換回路の構成を表す概略構成図である。

【0033】図に示す如く、本実施例のA/D変換回路は、上記実施例のパルス位相差符号化回路2と同様に構成されたパルス位相差符号化回路32と、同じく上記実施例の制御回路4と略同様に構成され、パルス信号PA、PBを発生すると共に、パルス信号PB立ち上げ後の任意のタイミングでレベルが反転する切換信号SELを発生する制御回路34と、制御回路からの切換信号SELにより切り換えられて、パルス位相差符号化回路32の入力端子32aに、A/D変換用の電圧信号Vinと所定電圧の基準電圧信号VRとの何れか一方を入力する電圧切換スイッチ36と、パルス位相差符号化回路32から出力されるデジタルデータDO1(DVin又はDR)を記憶する2個のレジスタ38、40と、制御回路

からの切換信号SELにより切り換えられて、パルス位相差符号化回路32から出力される電圧信号Vinに対応したデジタルデータDVinをレジスタ38に、基準電圧信号VRに対応したデジタルデータDRをレジスタ40に、夫々入力するデータ切換スイッチ42と、各レジスタ38、40に記憶されたデジタルデータDVin、DRを夫々受け、電圧信号Vinに対応したデジタルデータDVinを基準電圧信号VRに対応したデジタルデータVRにて除算することによりデジタルデータDVinを補正して、その除算結果(DVin/DR)をデジタルデータDO2として出力する除算器44と、から構成されている。

【0034】このように構成された本実施例のA/D変換回路においては、図7に示す如く、切換信号SELにより切り換えられる電圧切換スイッチ36によって、パルス位相差符号化回路32への入力信号VD1が、A/D変換用の電圧信号Vinと基準電圧信号VRとに交互に切り換えられ、パルス位相差符号化回路32からは、各電圧信号Vin、VRに対応したデジタルデータDVin、DRが交互に出力される。そしてパルス位相差符号化回路32から交互に出力されるデジタルデータDVin、DRの内、電圧信号Vinに対応したデジタルデータDVinがレジスタ38に、基準電圧信号VRに対応したデジタルデータDRがレジスタ40に、夫々、格納され、除算器44から、これらデジタルデータDVinをデジタルデータDRで除算した結果(DVin/DR)が、電圧信号VinのA/D変換結果を表すデジタルデータとして出力される。

【0035】このため、本実施例のA/D変換回路によれば、温度変化によってパルス周回回路10内の反転回路（即ち否定論理積回路NAND及びインバータIN V）の反転動作時間が変化して、電圧信号Vinを表すデジタルデータDVinが変化したとしても、基準電圧信号VRを表すデジタルデータDRも同様に変化して、除算器44においてその変動分が相殺されるため、除算器44から出力されるデジタルデータDO2は、温度変化による反転回路の反転動作時間の変化の影響を受けることはなく、常に電圧信号Vinに対応したデジタルデータDO2を得ることが可能となる。

【0036】このように第2実施例では、A/D変換用の電圧信号Vinと基準電圧信号VRとのA/D変換結果を表すデジタルデータDVin、DRの比をとることにより、デジタルデータDVinを補正する回路について説明したが、次に本発明の第3実施例として、PLL(Phase Locked Loop)を用いた自己補正タイプのA/D変換回路について説明する。

【0037】なお本実施例のA/D変換回路は、図8に示す如く、基準電圧信号として、A/D変換対象となる電圧信号Vinの最小値（最小電圧信号）VR1と最大値（最大電圧信号）VR2の2値を用い、最小電圧信号V

R 1 の A/D 変換結果を表すデジタルデータ D R 1 と、最大電圧信号 V R 2 の A/D 変換結果を表すデジタルデータ D R 2 との差 (D R 2 - D R 1) が、温度等の変化に対して、常に一定（例えば $1100 - 1000 = 100$ ）になるように、パルス信号 P A の立上がりからパルス信号 P B の立上がりまでの時間 T c を PLL により制御して、1 ビット当りの電圧分解能を一定に保つことで、電圧信号 V in の A/D 変換結果を表すデジタルデータ D V in を補正するものである。

【0038】即ち、図 8において、V R 1 = 4.5 V, V R 2 = 5.5 V とすれば、1 ビット当り (LSB) の電圧値（電圧分解能）は、

$$\begin{aligned} \text{LSB} &= (V R 2 - V R 1) / (D R 2 - D R 1) \\ &= 1000 \text{ mV} / 100 = 10 \text{ mV} \end{aligned}$$

となる。従って、最小電圧信号 V R 1 と電圧信号 V in との差を V S とし、最小電圧信号 V R 1 から最大電圧信号 V R 2 までの電圧に対してデジタルデータ D O 1 が直線的に変化するとすると、電圧信号 V in と最小電圧信号 V R 1 との差電圧は、

$$V S = L S B \cdot (D V in - D R 1)$$

となり、電圧信号 V in は、

$$V in = V R 1 + L S B \cdot (D V in - D R 1)$$

により求めることができる。

【0039】図 9 はこうした補正動作を実現するために構成された第 3 実施例の A/D 変換回路を表す概略構成図であり、図 10 はその動作を表すタイムチャートである。図に示す如く、本実施例の A/D 変換回路には、上記各実施例と同様に構成されたパルス位相差符号化回路 5 2 と、制御回路 5 4 とが備えられている。

【0040】制御回路 5 4 は、発振周波数をデジタル制御可能なデジタル制御発振回路 5 6 と、デジタル制御発振回路 5 6 からの発振信号 C K をカウントするカウンタ 5 8 と、カウンタ 5 8 のカウント値に基づきパルス信号 P A, P B を発生すると共に、パルス信号 P B 立ち上げ後の任意のタイミングで順次 3 段階に変化する切換信号 S E L 3 を発生するデコーダ 6 0 とにより構成され、デジタル制御発振回路 5 6 の発振周波数を外部から制御することにより、パルス信号 P A, P B の立上がり間隔 T c を制御できるようにされている。

【0041】また本実施例の A/D 変換回路には、制御回路 5 4 からの切換信号 S E L 3 により切り換えられて、パルス位相差符号化回路 5 2 の入力端子 5 2 a に、A/D 変換用の電圧信号 V in と最小電圧信号 V R 1 と最大電圧信号 V R 2 との何れか一つを入力する電圧切換スイッチ 6 2、パルス位相差符号化回路 3 2 から出力されるデジタルデータ D O 1 の内、各電圧信号 V in, V R 1, V R 2 に対応したデジタルデータ D V in, D R 1, D R 2 を各々記憶する 3 個のレジスタ 6 4, 6 6, 6 8、及び、制御回路 5 4 からの切換信号 S E L 3 により切り換えられて、パルス位相差符号化回路 5 2 から出力

されるデジタルデータ D O 1 を上記各レジスタ 6 4, 6 6, 6 8 に順次入力するデータ切換スイッチ 7 0、が備えられている。

【0042】そして、レジスタ 6 6, 6 8 に格納された最小電圧信号 V R 1 と最大電圧信号 V R 2 とに夫々対応したデジタルデータ D R 2 と D R 1 との差が常に一定値 D B S に保たれるように、パルス信号 P A とパルス信号 P B との立上がり間隔 T c を制御するために、以下の処理が行なわれる。

【0043】即ち、まず減算器 7 2 により、レジスタ 6 6, 6 8 に記憶されたデジタルデータ D R 1 と D R 2 の差 $\Delta D R 1 2 (= D R 2 - D R 1)$ を求め、次に減算器 7 4 により、この差 $\Delta D R 1 2$ と、パルス信号 P A とパルス信号 P B との立上がり間隔 T c を決定する基準データ D B S との差 D C 1 ($= D B S - \Delta D R 1 2$) を求める。そしてこの算出結果 D C 1 を、デジタルループフィルタ 7 6 に入力して、デジタルループフィルタ 7 6 から、D C 1 から高周波のノイズを除去したデータ D C 2 を出力させ、加算器 7 8 により、このデータ D C 2 と、デジタル制御発振回路 5 6 の発振周波数を決定する制御データ D C 3 とを加算し、その加算結果を制御データ D C 3 をストアするレジスタ 8 0 に入力することにより、制御データ D C 3 を補正する。

【0044】この結果、 $\Delta D R 1 2$ と基準データ D B S との差 D C 1 が正のときは、現在の制御データ D C 3 に正のデータ D C 2 が加算されるため、デジタル制御発振回路 5 6 に入力される制御データ D C 3 が増加して、デジタル制御発振回路 5 6 の発振周波数が上昇し、パルス信号 P A とパルス信号 P B との立上がり間隔 T c が小さくなる。逆に、 $\Delta D R 1 2$ と基準データ D B S との差 D C 1 が負のときは、現在の制御データ D C 3 に負のデータ D C 2 が加算されるため、デジタル制御発振回路 5 6 に入力される制御データ D C 3 が減少して、デジタル制御発振回路 5 6 の発振周波数が減少し、パルス信号 P A とパルス信号 P B との立上がり間隔 T c が大きくなる。

【0045】また次に本実施例の A/D 変換回路では、減算器 8 2 により、レジスタ 6 4 に記憶された電圧信号 V in に対応したデジタルデータ D V in と、レジスタ 6 6 に記憶された最小電圧信号 V R 1 に対応したデジタルデータ D R 1 との差 D O 3 ($= D V in - D R 1$) が算出され、更に補正用 ROM 8 4 により、この算出結果 D O 3 が補正されて、デジタルデータ D O 4 が出力される。

【0046】即ち、減算器 8 2 は、D V in から D R 1 を減じることで、最小電圧信号 V R 1 を基準として、電圧信号 V in に対応したデジタルデータ D O 3 を求めるためのものであるが、その算出結果 D O 3 は、パルス周回路内の反転回路の特性により、図 11 に示す如く電圧信号 V in の変化に対してリニアに変化しないため、本実施例では、この特性に対応した補正值を補正用 ROM 8 4 内に格納しておき、この補正值によりデジタルデータ D

O₃を補正して、電圧信号V_{in}の変化に対してリニアに変化するデジタルデータD_O4が得られるようにしている。

【0047】なおデジタルデータD_O3が電圧信号V_{in}の変化に対してリニアに変化しないのは、パルス周回回路を構成している否定論理積回路NANDやインバータINVの遅延時間が、電源電圧の変化に対して1対1に変化しないためである。以上説明したように、本実施例のA/D変換回路においては、減算器72、74、デジタルループフィルタ76、加算器78、レジスタ80、及びデジタル制御発振回路56により、デジタルPLLを構成し、デジタルデータD_R1、D_R2の差△D₁₂が基準データDBS(一定値:100)となるように、制御回路54から出力されるパルス信号PAとパルス信号PBとの立上がり間隔Tcを制御している。このため温度変化等によりパルス位相差符号化回路内の反転回路の反転動作時間が変化しても、常に電圧信号V_{in}に対応したデジタルデータD_O3を得ることができる。また本実施例では、デジタルデータD_O3を補正する補正用ROM84を備えているため、電圧信号V_{in}の変化に対して1対1に変化するデジタルデータD_O4を得ることができる。

【0048】なお本実施例では、補正用ROM84を、電圧信号V_{in}の変化に対して1対1に変化するデジタルデータD_O4を得るために使用したが、補正用ROM84に格納する補正值データを変更することにより、例えばsin曲線等、デジタルデータD_O4の特性を任意に設定することができる。

【0049】また本実施例では、制御回路54内の発振回路に、デジタル制御発振回路56を使用しているため、発振回路の発振周波数を制御するための制御信号として、デジタルデータをそのまま使用することができ、回路構成を簡素化できる。つまり、本実施例のようにPLLを構成する場合、発振回路にアナログの周波数可変発振回路(VCO)を使用することもできる。しかしこの場合には、制御データDC3をアナログ電圧に変換するためのD/A変換回路が必要となり、本実施例のように、制御データDC3をそのまま発振回路56に入力することができない。

【0050】なお発振周波数をデジタル制御可能な発振回路としては、従来より、水晶発振器等の固定発振器からの発振信号を分周・トリガリングする発振回路が知られているが、こうした従来のデジタル制御発振回路は、クロック信号を分周することにより所望の発振信号を得るため、発振周波数が100kHz以下の低周波数であるため、本願出願人が特願平3-258039号により提案したデジタル制御発振回路を使用することが望ましい。

【0051】つまり、上記提案のデジタル制御発振回路は、本実施例のパルス周回回路と同様に多数の反転回路

をリング状に連結したリングオシレータを備え、リングオシレータ内のパルス信号の周回回数から、発振信号CKの出力周期を計測することにより、発振周波数を制御するものであるため、発振信号CKの出力周期を反転回路の反転動作時間を1単位として制御することができ、発振周波数を数十MHzまで任意の値に制御できるため、上記実施例のデジタル制御発振回路56に適用すれば、パルス信号PAとパルス信号PBとの立上がりタイミングの制御精度を向上して、電圧信号V_{in}をより正確にA/D変換することができるようになる。

【0052】

【発明の効果】以上説明したように請求項1に記載のA/D変換回路によれば、従来のように電圧信号を増幅するアナログ増幅回路を使用することなく、電圧信号の微小な変化を数値化することができるため、周囲温度が高温であっても正常にA/D変換を行なうことが可能となる。またパルス周回回路の動作時間を長く設定して、パルス信号の周回回数を増加すればするほど、A/D変換結果の分解能を高くできるため、その分解能を任意に設定することができ、しかも同一分解能のA/D変換結果を得るのに要する時間を、従来に比べて短くすることができる。また従来のようにアナログ増幅回路を使用する必要がないので、低コスト化、低消費電力化を図ることも可能である。

【0053】また次に請求項2に記載のA/D変換装置においては、電圧信号入力端子に基準電圧信号を入力したときに得られるA/D変換結果と電圧信号入力端子にA/D変換用の電圧信号を入力したときに得られるA/D変換結果との比をとることにより、電圧信号のA/D変換結果を補正するため、反転回路の反転動作時間が温度変化等の電源電圧以外の要因によって変化しても、電圧信号を正確にデジタルデータに変換することができる。

【0054】また更に請求項3に記載のA/D変換回路においては、第1の基準電圧信号及び第2の基準電圧信号のA/D変換結果の偏差が所定値となるように、サンプリングタイミングを決定する周波数可変発振回路の発振周波数を制御しているため、反転回路の反転動作時間が温度変化等の電源電圧以外の要因によって変化しても、常に電圧信号に対応したデジタルデータを得ることができようになり、しかも、デジタルデータの電圧分解能を容易に且つ確実に設定することができる。

【図面の簡単な説明】

【図1】第1実施例のA/D変換回路の構成を表す概略構成図である。

【図2】制御回路4の構成を表すブロック図である。

【図3】第1実施例のA/D変換回路の動作を表すタイムチャートである。

【図4】A/D変換回路をセンサの信号検出回路として用いた場合の電気回路図である。

【図5】A/D変換回路をセンサの信号検出回路として用いた場合の信号処理の一例を説明するタイムチャートである。

【図6】第2実施例のA/D変換回路の構成を表す概略構成図である。

【図7】第2実施例のA/D変換回路の動作を表すタイムチャートである。

【図8】第3実施例のA/D変換回路の動作原理を説明する説明図である。

【図9】第3実施例のA/D変換回路の構成を表す概略構成図である。

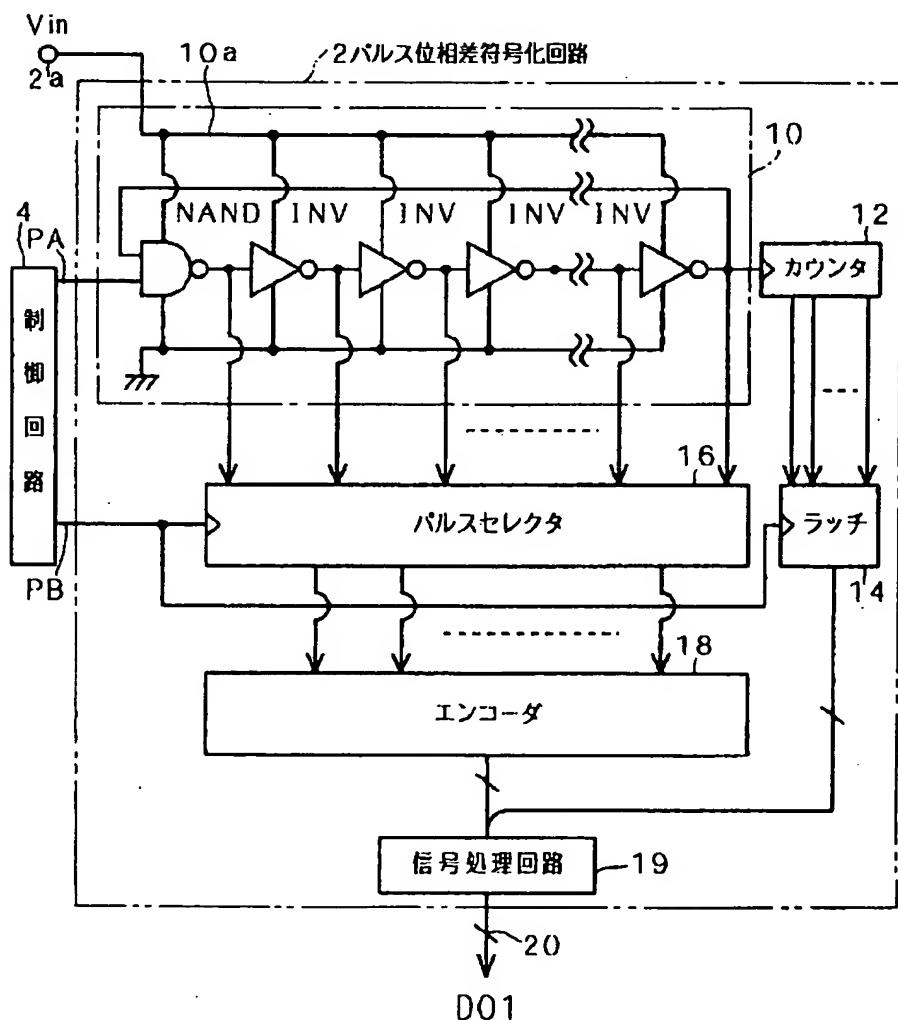
【図10】第3実施例のA/D変換回路の動作を表すタイムチャートである。

【図11】第3実施例のA/D変換回路における補正用ROMの動作を説明する説明図である。

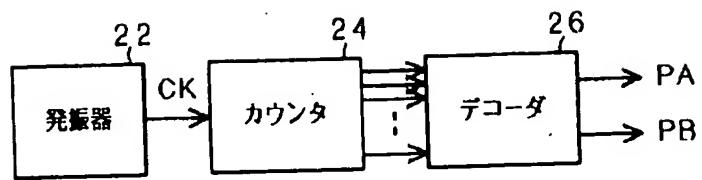
【符号の説明】

| | |
|-----------------------------|----------------|
| 2, 32, 52…パルス位相差符号化回路 | 10a…電源ライン |
| 2a, 32a, 52a…入力端子 | 4, 34, 54…制御回路 |
| 10…パルス周回回路 | 10a…電源ライン |
| 12, 24, 58…カウンタ | 14…ラッチ回路 |
| 16…パルスセレクタ | 18…エンコーダ |
| データ出力ライン | 20… |
| 22…発振器 | 26, 60…デコーダ |
| …電圧切換スイッチ | 36, 62 |
| 38, 40, 64, 66, 68, 80…レジスタ | |
| 42, 70…データ切換スイッチ | 44…除算器 |
| 56…デジタル制御発振回路 | 72, 74, 82…減算器 |
| 76…デジタルループフィルタ | 78…加算器 |

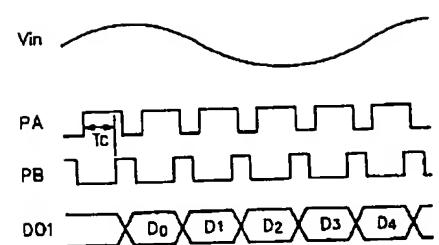
【図1】



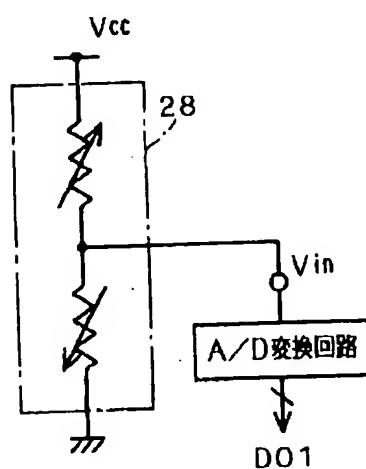
【図2】



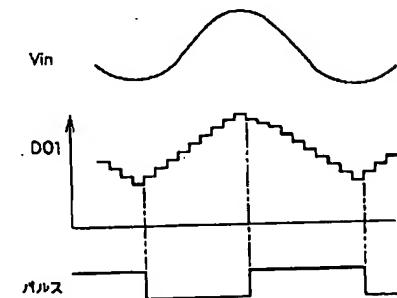
【図3】



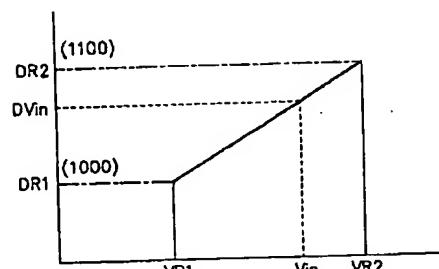
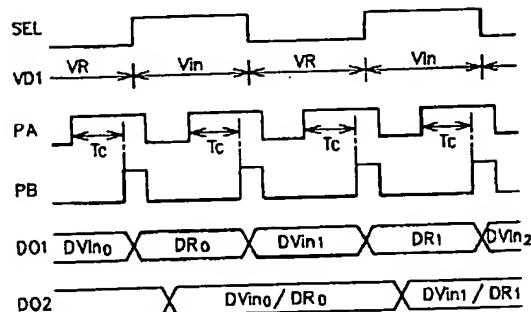
【図4】



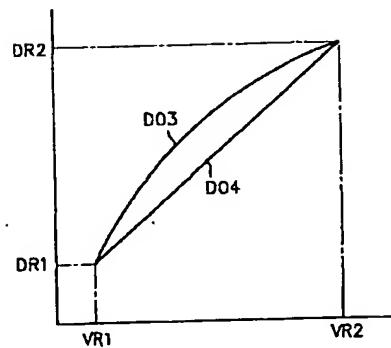
【図5】



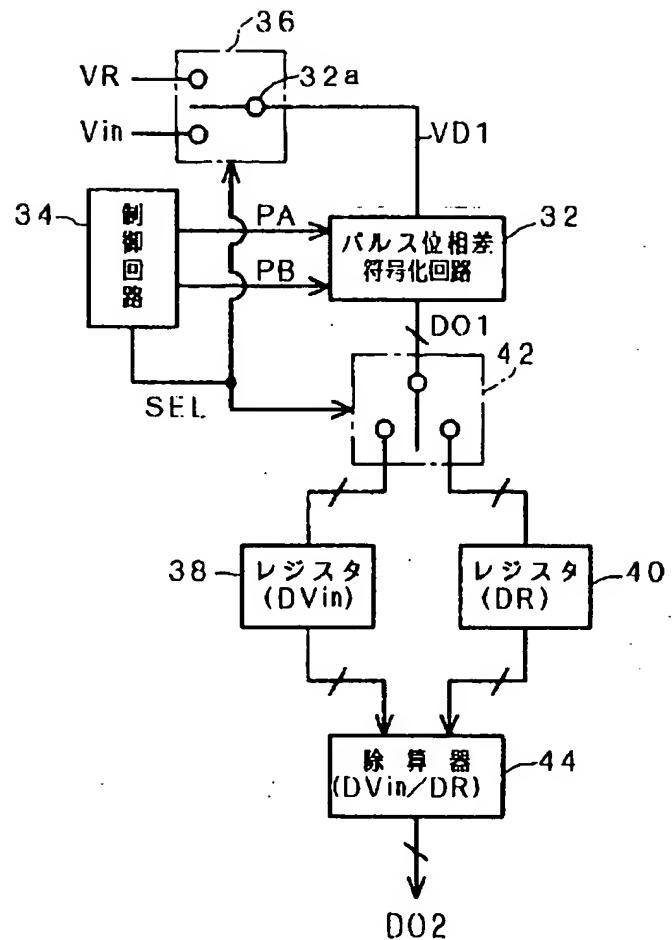
【図7】



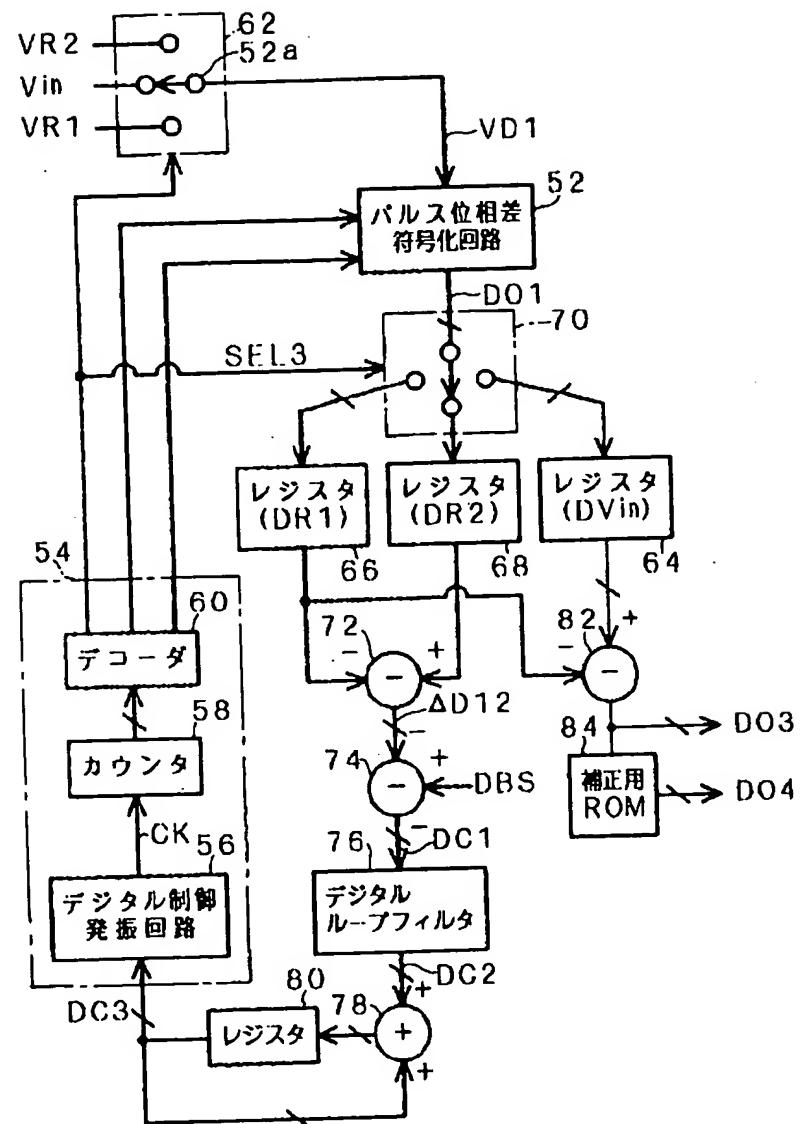
【図11】



【図6】



【図9】



【図10】

